

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-162431
 (43)Date of publication of application : 21.06.1996

(51)Int.Cl.

H01L 21/304
 H01L 21/318

(21)Application number : 06-297391

(71)Applicant : NKK CORP

(22)Date of filing : 30.11.1994

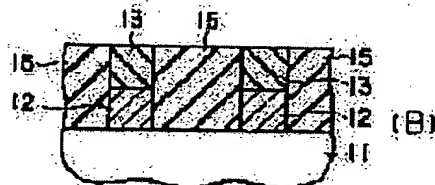
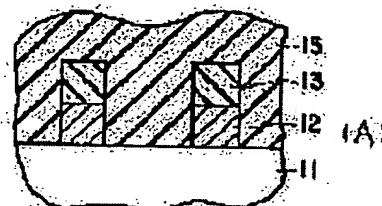
(72)Inventor : GOTO HIROSHI

(54) FLATTENING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a flattening method of a semiconductor device wherein generation of a recessed part on a surface to be polished in a CMP treatment can be prevented, and the number of processes is small.

CONSTITUTION: Metal wiring layer 12 is formed on the surface of a first interlayer insulating film 11, and silicon nitride film 13 is formed as stoppers on the surface of the metal wiring layer 12. The silicon nitride film 13 and the metal wiring layer 12 are sequentially patterned. A second interlayer insulating film 15 is formed on the surface of the first interlayer insulating film 11 containing the patterned silicon nitride film 13 and the metal wiring layer 12. The second interlayer insulating film 15 is chemically mechanically polished, and the polishing of the second interlayer insulating film 15 is finished, on the basis of the change of pH due to the polishing of the metal wiring layers 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162431

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl.⁹

H 0 1 L 21/304

21/318

識別記号

3 2 1 M

S

B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-297391

(22) 出願日 平成6年(1994)11月30日

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 後藤 寛

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

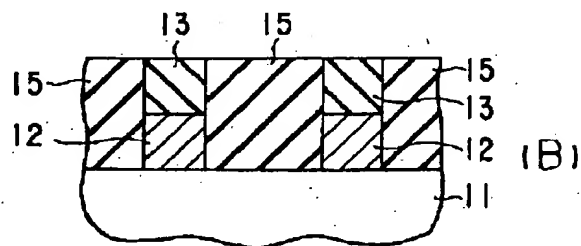
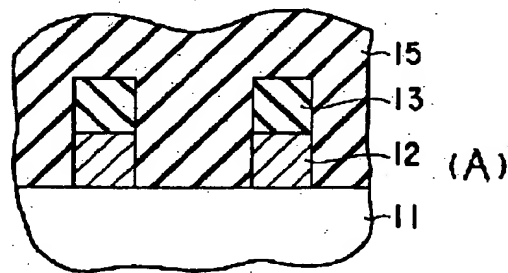
(74) 代理人 弁理士 長谷川 和音

(54) 【発明の名称】 半導体装置の平坦化方法

(57) 【要約】

【目的】 CMP 処理における被研磨面に窪みが生じるのを防止でき、且つ、工程数も少ない半導体装置の平坦化方法を提供する。

【構成】 第1層間絶縁膜11の表面上に金属配線層12を形成し、金属配線層12の表面上にストッパとして窒化シリコン膜13を形成する。次に窒化シリコン膜13および金属配線層12を順次パターニングする。パターニングされた窒化シリコン膜13および金属配線層12を含む第1層間絶縁膜11の表面上に第2層間絶縁膜15を形成する。次いで第2層間絶縁膜15を化学機械的に研磨し、金属配線層12が研磨されてpHが変化したことに基づいて第2層間絶縁膜15の研磨を終了する。



【特許請求の範囲】

【請求項 1】 下地の表面上に形成された被保護物の表面上にストッパを形成する工程、前記ストッパおよび前記被保護物を含む前記下地の表面上に被研磨層を形成する工程、前記被研磨層を化学機械的に研磨する工程、および、前記被保護層が研磨されたことに基づいて前記被研磨層の研磨を終了する工程を具備することを特徴とする半導体装置の平坦化方法。

【請求項 2】 下地の表面上に被保護層を形成する工程、前記被保護層の表面上にストッパ層を形成する工程、前記ストッパ層をパターンニングする工程、次いで前記被保護層をパターンニングする工程、パターンニングされた前記ストッパ層および前記被保護層を含む前記下地の表面上に被研磨層を形成する工程、前記被研磨層を化学機械的に研磨する工程、および、前記被保護層が研磨されたことに基づいて前記被研磨層の研磨を終了する工程を具備することを特徴とする半導体装置の平坦化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、化学機械的研磨による半導体装置の平坦化方法に関する。

【0002】

【従来の技術】半導体装置の高密度化が進展すると共に、デバイス構造がより三次元化され、その表面の凹凸が大きくなる形にある。このため、半導体装置製造の途中段階で凹凸表面を平坦化する平坦化処理が行われている。

【0003】近年、半導体装置の新しい平坦化技術として、化学機械的研磨（以下、CMPという）技術が着目をあびている。CMPは、層間絶縁膜等の平坦化を、シリコンウエハ作製の最終仕上げ工程のウエハ研磨に近い機械的研磨技術を用いて行おうというものである。

【0004】CMPは、例えば、定盤に貼り付けられた研磨パッドに研磨スラリーを供給しつつ、スピンドルヘッドに取り付けられたシリコンウエハの被研磨対象である半導体装置の膜を定盤上の研磨パッドに押し当てる。この際、定盤およびスピンドルヘッドは回転しているので、シリコンウエハおよび研磨パッドは夫々回転している。これにより膜が研磨される。

【0005】このようなCMP技術では研磨の終点検出が大きな課題になっている。すなわち、例えば、層間絶縁膜の平坦化では、半導体装置のメタル配線等が露出する少し前に研磨を終了する必要がある。しかしながら、研磨の状態は、研磨パッドや研磨スラリーの状況によっても異なってくる。このため、CMP処理の程度によってロット間で層間絶縁膜の膜厚が不均一になりやすい。

【0006】このような層間絶縁膜の膜厚を均一にするために、CMP用のストッパを設けることが行われている。すなわち、図5（A）に示すように、所定のパター

ンで配線層51が形成された第1層間絶縁膜52の表面上に、ストッパ53を形成する。ストッパ53は、配線層51の間に形成する。ストッパ53は、例えば、窒化シリコン（Si₃N₄）からなる。このように配線層51およびストッパ53を含む第1層間絶縁膜52の表面上に、図5（B）に示すように例えば、BPSGからなる第2層間絶縁膜54を堆積させる。第2層間絶縁膜54の表面は、配線層51およびストッパ53に対応した凹凸が生じている。

【0007】次に、第2層間絶縁膜54に対してリフロー処理を施して、図5（C）に示すように、第2層間絶縁膜54の凹凸を小さくする。この後、第2層間絶縁膜54に対してCMPを施す。CMPが進行すると第2層間絶縁膜54が研磨され、図5（D）に示すように、ストッパ53が第2層間絶縁膜54の表面に露出する。ストッパ53が研磨され始めると研磨スラリーのpHが変化する。そこで、研磨スラリーのpH変化の変化を検知することにより、CMPの終点を検出している。また、ストッパ53は、第2層間絶縁膜54よりもエッチングレートが低いため、ストッパ53が研磨され始めると第2層間絶縁膜54全体のエッチングレートも低下する。このため、CMPの終点の検出からCMP処理の停止までの緩衝としても機能する。また、このエッチングレートの低下によりCMPの終点検出を行うことも可能である。

【0008】

【発明が解決しようとする課題】しかしながら、上述のストッパ53を用いたCMPの終点検出は、ストッパ53を形成するために、配線層51を形成した後、第1層間絶縁膜52の表面に例えば窒化シリコンを堆積した後、ホトリソグラフ技術を用いてパターンニングする必要がある。このため、工程数も増加すると共に、ストッパ53のパターンニングのための専用のマスクが必要である。

【0009】また、ストッパ53を形成する位置は、配線層51のパターンデザインにより制約を受ける。このため、ストッパ53どうしの間隔が大きくなりやすい。しかしながら、ストッパ53のエッチングレートよりも第2層間絶縁膜54のエッチングレートの方が小さいため、図6に示すように、ストッパ53の間には窪み55が生じてしまう。この窪みの深さAは、図7に示すように、ストッパ53の間隔Bが大きくなるほど深くなる。このため、ストッパ53の間隔Bを小さくすることが望ましい。しかし、半導体装置の高集積化が求められる現状では配線層51のパターンデザインを優先する必要があるため、ストッパ53の間隔Bがある程度大きくなることは回避できない。また、部分的にストッパ53の間隔Bを小さくすることができたとしても、半導体装置内で第2層間絶縁膜54の膜厚にバラツキが生じてしまう。

【0010】本発明は、かかる点に鑑みてなされたもの

であり、CMP処理における被研磨面に窪みが生じるのを防止でき、且つ、工程数も少ない半導体装置の平坦化方法を提供する。

【0011】

【課題を解決するための手段】本発明は、下地の表面上に形成された被保護物の表面上にストッパを形成する工程、前記ストッパおよび前記被保護物を含む前記下地の表面上に被研磨層を形成する工程、前記被研磨層を化学機械的に研磨する工程、および、前記被保護層が研磨されたことに基づいて前記被研磨層の研磨を終了する工程を具備することを特徴とする半導体装置の平坦化方法を提供する。

【0012】本発明は、第2に、下地の表面上に被保護層を形成する工程、前記被保護層の表面上にストッパ層を形成する工程、前記ストッパ層をパターンニングする工程、次いで前記被保護層をパターンニングする工程、パターンニングされた前記ストッパ層および前記被保護層を含む前記下地の表面上に被研磨層を形成する工程、前記被研磨層を化学機械的に研磨する工程、および、前記被保護層が研磨されたことに基づいて前記被研磨層の研磨を終了する工程を具備することを特徴とする半導体装置の平坦化方法を提供する。

【0013】

【作用】第1の発明は、被保護物の表面上にストッパを形成した後、下地の表面上に被研磨層を形成し、この被研磨層を化学機械的に研磨する。化学機械的な研磨が進行すると、被研磨層の表面上にストッパが露出して研磨され始める。ストッパが研磨され始めたことに基づいて被研磨層の研磨を終了する。ストッパは被保護物の表面上に形成されているので、被保護物のパターンと同じに形成される。従って、被保護物と同様の間隔でストッパが形成される。このため、ストッパの間隔は被保護物の間隔よりも大きくなることがない。

【0014】第2の発明は、下地の表面上に被保護層およびストッパ層を順次積層して形成した後、これらの2層を同じパターンでパターンニングする。従って、ストッパ層を被保護層と異なるパターンで別にパターンニングする場合に比べて工程数が低減される。

【0015】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0016】図1(A)～(D)および図2(A)～(B)は、本発明の半導体装置の平坦化方法の一実施例の各工程を夫々示す断面図である。

【0017】図1(A)に示すように、ウエハ(図示せず)の表面側に形成された第1相関絶縁膜11の表面上に、例えば、アルミニウム、タングステン、銅からなる金属配線層12を例えばCVD法により膜厚0.7 μ mで堆積した。次に、金属配線層12の表面上にストッパとして窒化シリコン膜13を膜厚0.5 μ mで堆積す

る。

【0018】次いで、窒化シリコン膜13を、図1(B)に示すように通常のホトリソグラフィ技術によりパターンニングする。すなわち、窒化シリコン膜13の表面上にフォトリソレジストを塗布する。通常の金属配線層12のパターンニングに使用するガラスマスクを使用して、このフォトリソレジストを露光および現像してレジストマスク14を形成する。このレジストマスクを用いて、窒化シリコン膜13をRIEによりパターンニングする。この後、金属配線層12を、図1(C)に示すように、同じレジストマスク14を使用してRIEによりパターンニングする。パターンニング終了後、レジストマスク14を除去する。

【0019】パターンニングした金属配線層12および窒化シリコン膜13を含む第1層間絶縁膜11の表面上に、図1(D)に示すように、例えば、BPSGからなる第2層間絶縁膜15を膜厚3 μ mで堆積させた。このとき、第2層間絶縁膜15の表面には、金属配線層12および窒化シリコン膜13の凹凸に対応した凹凸が生じた。

【0020】この後、第2層間絶縁膜15を、900℃で加熱してリフロー処理を施して、図2(A)に示すように第2層間絶縁膜15の表面の凹凸を大まかに取り除いた。

【0021】次いで、第2層間絶縁膜15をCMP処理により研磨する。具体的には、図3に示すように、上記処理が施された第2層間絶縁膜15を有するウエハ31を、スピンドルヘッド32に取り付けた。次に、定盤33に貼り付けられた研磨パッドに、供給ノズル34を介して研磨スラリー(水酸化カリウム水溶液およびコロイダルシリカ)を供給しつつ、スピンドルヘッド32に取り付けられたウエハ34の第2層間絶縁膜15を研磨パッドに押し当てた。この状態で、定盤33およびスピンドルヘッド32を回転させた。これにより、第2層間絶縁膜15が研磨パッドおよび研磨スラリー中のコロイダルシリカにより機械的に磨耗するとともに、水酸化カリウムと第2層間絶縁膜15を構成するBPSGとの化学的反応により、第2層間絶縁膜15が研磨されてゆく。

【0022】このようにCMPが進行し、第2層間絶縁膜15が研磨されると、図2(B)に示すように、ストッパ13が第2層間絶縁膜15の表面に露出する。そして、ストッパ13が研磨され始めると研磨スラリーのpHが9から5に変化する。この研磨スラリーのpH変化を検知したら、直ちにまたは所定時間経過後CMPを終了する。

【0023】上記説明したように、本実施例の半導体装置の平坦化方法によれば、金属配線層12の表面上にストッパとして窒化シリコン膜13を形成した後、第1層間絶縁膜11の表面上に第2層間絶縁膜14を堆積し、第2層間絶縁膜14をCMP処理して研磨する。窒化シ

リコン膜 13 が研磨されることによって研磨スラリーの pH が変化したのを検出して CMP 処理の終点を決定することができる。また、窒化シリコン膜 13 は、第 2 層間絶縁膜 14 よりもエッチングレートが低いので、窒化シリコン膜 13 が研磨され始めると第 2 層間絶縁膜 14 全体のエッチングレートも低下する。このため、CMP の終点の検出から CMP 処理の停止までの緩衝としても機能する。この結果、ウェハ内の第 2 層間絶縁膜 13 の膜厚のばらつきをすくなくすることができる。

【0024】また、本実施例では、金属配線層 12 の表面上にストッパとして窒化シリコン膜 13 が形成されているので、窒化シリコン膜 13 どうしの間隔は極めて小さく設定することができる。この結果、窒化シリコン膜 13 の間に窪みが形成されるのを抑制することができる。また、窒化シリコン膜 13 は金属配線層 12 と同じパターンで形成する。このため、窒化シリコン膜 13 を金属配線層 12 と別に設けた場合と異なり、窒化シリコン膜 13 のパターンのために金属配線層 12 のパターンデザインが制約されることがない。

【0025】また、窒化シリコン膜 13 は、金属配線層 12 のパターンニングに用いられるマスクパターンでパターンニングされる。このため、金属配線層 12 および窒化シリコン膜 13 を順次積層し、これらの 2 層を同一のレジストマスクで順次エッチングしてパターンニングすることができる。この結果、窒化シリコン膜 13 を異なるパターンでパターンニングする場合に比べて工程数を低減することができる。また、窒化シリコン膜 13 のパターンを別途設計し、フォトマスクを用意する必要もない。

【0026】上記第 1 実施例では、ストッパとして窒化シリコン膜の単一層を使用した場合について説明したが、ストッパの材質はこれに限定されることなく、例えば、ポリシリコン、シリコン酸化物、窒化チタン、ポリイミドのように必要に応じて適宜選択して使用することができる。

【0027】また、ストッパは単一層だけでなく複数層であっても良い。例えば、図 4 (A) に示すように、膜厚 0.7 μm の金属配線層 12 の表面上に、膜厚 0.5 μm の窒化シリコン膜またはポリシリコン膜からなる第 1 ストッパ層 4.1 と、膜厚 0.3 μm のシリコン酸化膜または窒化チタン膜からなる第 2 ストッパ層 4.2 とを順次形成しても良い。この場合、配線に与えるダメージを低減する点で好ましい。

【0028】また、図 4 (B) に示すように、膜厚 0.7 μm の金属配線層 12 の表面上に、膜厚 0.3 μm のシリコン酸化膜または窒化チタン膜からなる第 1 ストッパ層 4.3 と、膜厚 0.5 μm の窒化シリコン膜またはポリシリコン膜からなる第 2 ストッパ層 4.4 とを順次形成しても良い。この場合、層間絶縁膜との密着性を向上させる点で好ましい。

【0029】また、図 4 (C) に示すように、膜厚 0.

7 μm の金属配線層 12 の表面上に、膜厚 0.3 μm のシリコン酸化膜または窒化チタン膜からなる第 1 ストッパ層 4.5 と、膜厚 0.5 μm の窒化シリコン膜またはポリシリコン膜からなる第 2 ストッパ層 4.6、膜厚 0.3 μm のシリコン酸化膜または窒化チタン膜からなる第 3 ストッパ層 4.7 とを順次形成しても良い。この場合、終点を検出する点で好ましい。

【0030】また、本実施例では、第 1 層間絶縁膜 11 の表面上に形成された第 2 層間絶縁膜 15 の表面の平坦化を例に挙げて説明したが、これに限定されるものではなく、例えば、ポリシリコン構造物等に適用可能である。このような各種の平坦化処理において被研磨層に適したストッパの材質を選択する必要がある。

【0031】

【発明の効果】以上説明したように、本願の第 1 の発明によれば、被保護物の表面上にストッパを形成した後、下地の表面上に被研磨層を形成し、この被研磨層を化学機械的に研磨する。これにより、ストッパを被保護物と同じに間隔で形成できるため、被保護物の配置パターンに影響を与えることなく、ストッパの間隔を被保護物と同じだけ小さくすることが可能である。この結果、ストッパの間に窪みが生じるのを抑制することができる。

【0032】また、本願の第 2 の発明によれば、下地の表面上に被保護層およびストッパ層を順次積層して形成した後、これらの 2 層を同じパターンでパターンニングする。従って、ストッパ層を被保護層と異なるパターンで別にパターンニングする場合に比べて工程数が低減され、半導体装置の平坦化を簡単に且つ短時間で行うことができる。

30 【図面の簡単な説明】

【図 1】(A) ~ (D) は、本発明の半導体装置の平坦化方法の一実施例の各工程を夫々示す断面図。

【図 2】(A) ~ (B) は、本発明の半導体装置の平坦化方法の一実施例の各工程を夫々示す断面図。

【図 3】第 1 実施例の半導体装置の平坦化方法で用いる CMP 装置を示す説明図。

【図 4】(A) ~ (C) は本発明の半導体装置の平坦化方法のストッパの変形例を夫々示す断面図。

40 【図 5】(A) ~ (D) は従来の半導体装置の平坦化方法の一実施例の各工程を夫々示す断面図。

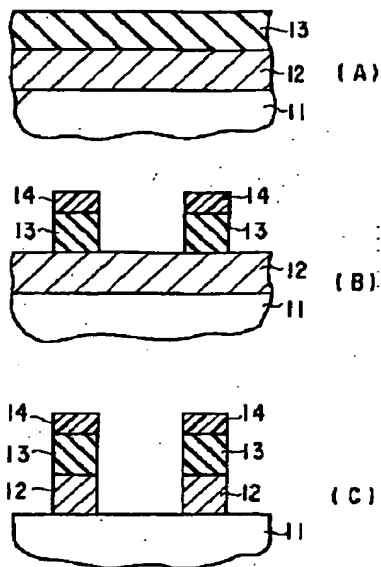
【図 6】従来の半導体装置の平坦化方法におけるストッパの配置を示す断面図。

【図 7】ストッパ間の窪みの深さとストッパの間隔の関係を示す特性図。

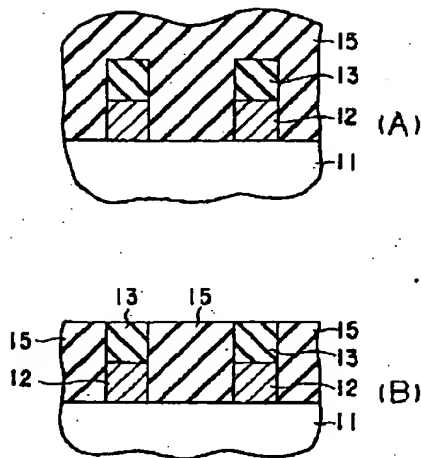
【符号の説明】

11…第 1 層間絶縁膜、12…金属配線層、13…ストッパ、14…レジストマスク、15…第 2 層間絶縁膜、31…ウェハ、32…スピンドルヘッド、33…定盤、34…供給ノズル。

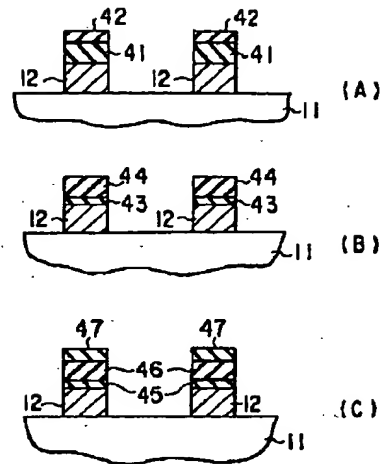
【図1】



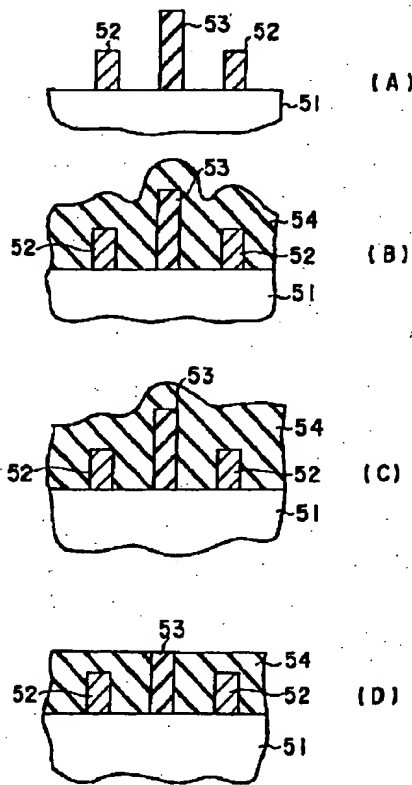
【図2】



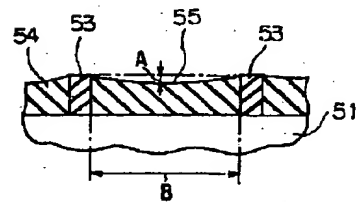
【図4】



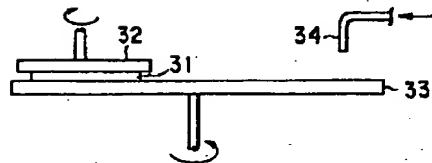
【図5】



【図6】



【図3】



【図 7】

